日本 国 特 許 庁 03.03.2005 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2004年 3月26日

出 願 番 号 Application Number:

特願2004-093702

[ST. 10/C]:

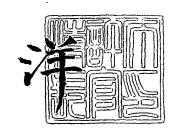
[JP2004-093702]

出 願 人 Applicant(s):

サンケン電気株式会社

特許庁長官 Commissioner, Japan Patent Office 2004年12月 2日





1/E

【書類名】 特許願 【整理番号】 A0401

【提出日】平成16年 3月26日【あて先】特許庁長官 殿【国際特許分類】H01L 19/78H01L 21/8234

【発明者】

【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

【氏名】 岩渕 昭夫

【発明者】

【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

【氏名】 相沢 和也

【特許出願人】

【識別番号】 000106276

【氏名又は名称】 サンケン電気株式会社

【代理人】

【識別番号】 100095407

【弁理士】

【氏名又は名称】 木村 満

【選任した代理人】

【識別番号】 100109449

【弁理士】

【氏名又は名称】 毛受 隆典

【手数料の表示】

【予納台帳番号】 038380 【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

 【物件名】
 明細書
 1

 【物件名】
 図面
 1

 【物件名】
 要約書
 1

 【包括委任状番号】
 0017501

【書類名】特許請求の範囲

【請求項1】

第1導電型の第1半導体領域と、前記第1半導体領域上に形成された第2導電型の第2 半導体領域と、前記第2半導体領域の表面領域に、前記第2半導体領域の外周に沿うよう に形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領 域と、前記第3半導体領域の下面に隣接し、且つ前記第1半導体領域よりも不純物濃度の 高い第1導電型の第4半導体領域と、前記第2半導体領域の表面領域に形成された第1導 電型の第5半導体領域と、第5半導体領域の表面領域に形成された第2導電型の第6半導 体領域とを有し、

前記第2半導体領域に第1の電極が電気的に接続され、前記第6半導体領域に第2の電 極が電気的に接続され、前記第5半導体領域の上面に絶縁膜を介して制御電極が形成され た半導体装置であって、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前 記第3半導体領域よりも前記第5半導体領域側に延伸するように形成されていることを特 徴とする半導体装置。

【請求項2】

前記第4半導体領域は、前記第2半導体領域を介して、前記第5半導体領域と対向する ことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第2半導体領域の表面領域に、前記第2半導体領域よりも高い不純物濃度を有する 第2導電型の第7半導体領域を備え、第1の電極が電気的に接続されることを特徴とする 請求項1又は2に記載の半導体装置。

【請求項4】

前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度 の高い第8半導体領域を備え、前記第8半導体領域にバックゲート電極が電気的に接続さ れていることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】

前記第7半導体領域は、前記第2半導体領域の表面領域に形成され、前記第7半導体領 域を包囲するように、前記第5半導体領域が閉環状に形成され、さらに、前記第5半導体 領域を囲むように前記第3半導体領域が、閉環状に形成されていることを特徴とする請求 項3又は4に記載の半導体装置。

【請求項6】

第1導電型の第1半導体領域と、前記第1半導体領域上に形成された第2導電型の第2 半導体領域と、前記第2半導体領域の表面領域に、前記第2半導体領域の外周に沿うよう に形成され、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領 域と、前記第3半導体領域の下面に隣接し、且つ前記第1半導体領域よりも不純物濃度の 高い第1導電型の第4半導体領域と、前記第2半導体領域の表面領域に形成された第1導 電型の第5半導体領域と、第5半導体領域の表面領域に形成された第2導電型の第6半導 体領域とを有し、

前記第2半導体領域に第1の電極が電気的に接続され、前記第6半導体領域に第2の電 極が電気的に接続され、前記第5半導体領域の上面に絶縁膜を介して制御電極が形成され た半導体装置であって、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前 記第3半導体領域よりも第1の電極側に延伸するように形成されている突片部と、前記突 片部よりも第1の電極側に延伸しないように形成されている部分とを備えることを特徴と する半導体装置。

【請求項7】

前記第4半導体領域の突片部の上面は、前記第5半導体領域の下面と対向することを特 徴とする請求項6に記載の半導体装置。

【請求項8】

前記第2半導体領域の表面領域に、前記第2半導体領域よりも高い不純物濃度を有する 第2導電型の第7半導体領域を備え、第1の電極が電気的に接続されることを特徴とする 請求項6又は7に記載の半導体装置。

【請求項9】

前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度 の高い第8半導体領域を備え、前記第8半導体領域にバックゲート電極が電気的に接続さ れていることを特徴とする請求項6乃至8のいずれか1項に記載の半導体装置。

【請求項10】

前記第5半導体領域は、前記第6半導体領域及び前記第8半導体領域を備える領域と、 前記第6半導体領域及び前記第8半導体領域を備えない領域とを有し、両者は交互に且つ 離間して形成されることを特徴とする請求項9に記載の半導体装置。

【請求項11】

前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備えない領域の下 部には、前記第4半導体領域の突片部が形成されることを特徴とする請求項9又は10に 記載の半導体装置。

【請求項12】

前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備える領域の下部 には、前記第4半導体領域の突片部が形成されていないことを特徴とする請求項9乃至1 1のいずれか1項に記載の半導体装置。

【請求項13】

前記第7半導体領域は、前記第2半導体領域の表面領域に形成され、前記第7半導体領 域を包囲するように、前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域 を備える領域及び、前記第6半導体領域及び前記第8半導体領域を備えない領域とが交互 に且つ離間して配置され、前記第5半導体領域を包囲するように前記第3半導体領域が閉 環状に形成されていることを特徴とする請求項9乃至12のいずれか1項に記載の半導体 装置。

【請求項14】

前記半導体装置は、高圧抵抗素子を備えることを特徴とする請求項6乃至13に記載の 半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

[0001]

本発明は、静電気に対する耐量を上げた半導体装置に関連する。

【背景技術】

[0002]

一般的な高耐圧横型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を備えた半導体装置では、バックゲート電極端子と接地用電極端子(グランド電極端子) とを、例えばチャネル形成用領域や接地領域を構成する拡散領域を介して電気的に短絡し 、バックゲート電極端子と接地用電極端子とを同一電位としている(例えば特許文献1)

[0003]

しかし、上述の技術において、バックゲート電極端子に対して、接地用電極端子とは異 なる電圧を印加したい場合、バックゲート領域と、接地領域とを電気的に分離して形成さ せる必要がある。

そこで、バックゲート領域と接地領域とが電気的に分離して形成される半導体装置が提 案されている(例えば特許文献2)。

[0004]

図7は、高耐圧横型MOSFETを備えた半導体装置を示す図である。

図7に示すように、高耐圧横型MOSFETは、P-型半導体基板515と、この上に エピタキシャル成長によって形成されたドレイン領域として機能する N ⁻ 型半導体領域 5 21と、接地領域として機能する上側P型半導体領域513及び下側P型半導体領域51 4と、チャネル形成用領域として機能するP型半導体領域519と、N 型半導体領域5 2 1 内に形成されてドレインコンタクト領域として機能する第 1 N ⁺ 半導体領域 5 2 2 と 、P型半導体領域519内に形成されてバックゲートコンタクト領域として機能するP+ 型半導体領域512と、P型半導体領域519内に形成されて、ソースコンタクト領域と して機能する第2N+型半導体領域523とを有している。

[0005]

ドレインコンタクト領域として機能する第 1 N⁺ 半導体領域 5 2 2 は、ドレイン領域と して機能するN-型半導体領域521の表面領域に形成されている。

チャネル形成用領域として機能するP型半導体領域519は、第1N+半導体領域52 2を包囲するように環状に形成されている。

上側P型半導体領域513は、P型半導体領域519を包囲するように環状に形成され ている。また、下側P型半導体領域514は、上側P型半導体領域513の下面に隣接す るように形成されている。

[0006]

上側 P型半導体領域 5 1 3 には接地電極 5 0 1 が電気的に接続されている。

バックゲートコンタクト領域として機能する P + 型半導体領域 5 1 2 には、バックゲー ト電極505が電気的に接続されている。

ドレインコンタクト領域として機能する第1N⁺ 半導体領域522には、ドレイン電極 502が電気的に接続されている。

ソースコンタクト領域として機能する第2N⁺ 半導体領域523には、ソース電極50 4が電気的に接続されている。

また、ソースコンタクト領域として機能する第 $2\,\mathrm{N}^+$ 型半導体領域 $5\,2\,3\,\mathrm{E}\,\mathrm{N}^-$ 型半導 体領域521との間に配置されたP型半導体領域519の上面には、ゲート絶縁膜531 を介してゲート電極503が形成されている。

【特許文献1】特開2000-260981号公報

【特許文献2】特開平8-330580号公報

【発明の開示】

【発明が解決しようとする課題】

[0007]

しかし、上述の技術には、ドレイン電極502に印加された静電気に対する耐量が比較 的小さく、ゲート絶縁膜531が破壊されるという問題点がある。

このゲート絶縁膜531の破壊は、以下に記述するメカニズムによって生じると考えら れる。

[0008]

ドレイン電極502に負の静電気が印加されると、換言すれば、接地電極501に比較 的高い正の電位が印加されると、接地領域として機能する上側P型半導体領域513及び 下側P型半導体領域514とドレイン領域として機能するN-型半導体領域521とによ って形成される寄生ダイオードDp1を介してゲート電極503に正電位が付加される。

[0009]

また、バックゲート電極505にも、接地領域として機能する上側P型半導体領域51 3及び下側P型半導体領域514と、ドレイン領域として機能するN-型半導体領域52 1と、P型半導体領域519と、バックゲートコンタクト領域として機能するP * 型半導 体領域512とによって構成される寄生ダイオード(寄生トランジスタ)Dp2を介して 正電位が印加される。

[0010]

これにより、バックゲートコンタクト領域として機能する P + 型半導体領域 5 1 2 と、 P型半導体領域519と、 N^- 型半導体領域521と、ドレインコンタクト領域として機 能する第1N+ 型半導体領域522によって構成される経路(電流経路1)に比較的大き な電流が流れ、P型半導体領域519の横方向に電位差が生じる。

[0011]

一方、上側P型半導体領域513及び下側P型半導体領域514と、P-型半導体基板 515と、N- 型半導体領域521と、第1N+ 半導体領域522とから構成される経路 (電流経路2) にも電流が流れるが、P-型半導体基板515の横方向の抵抗値が大きい ため、電流回路2に流れる電流は電流回路1に流れる電流と比較して少ない。

[0012]

この結果ゲート電極503と、その下のP型半導体領域519との間に電位差が生じ、 この電位差がゲート絶縁膜531の破壊耐量を超えるとゲート絶縁膜531の破壊に至る

すなわち、ゲート絶縁膜531の破壊は、電流経路2の抵抗値が電流経路1の抵抗値と 比較して大きいことに帰因すると考えられる。

[0013]

本発明は、上記実情に鑑みてなされたものであり、負の静電気に対する耐量を上げた半 導体装置を提供することを目的とする。

【課題を解決するための手段】

[0014]

上記目的を達成するため、本発明の第1の観点に係る半導体装置は、第1導電型の第1 半導体領域と、前記第1半導体領域上に形成された第2導電型の第2半導体領域と、前記 第2半導体領域の表面領域に、前記第2半導体領域の外周に沿うように形成され、且つ前 記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領域と、前記第3半導 体領域の下面に隣接し、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第 4 半導体領域と、前記第2 半導体領域の表面領域に形成された第1 導電型の第5 半導体領 域と、第5半導体領域の表面領域に形成された第2導電型の第6半導体領域とを有し、

前記第2半導体領域に第1の電極が電気的に接続され、前記第6半導体領域に第2の電 極が電気的に接続され、前記第5半導体領域の上面に絶縁膜を介して制御電極が形成され た半導体装置であって、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前 記第3半導体領域よりも前記第5半導体領域側に延伸するように形成されていることを特 徴とする。

[0015]

前記第4半導体領域は、前記第2半導体領域を介して、前記第5半導体領域と対向してもよい。

[0016]

前記第2半導体領域の表面領域に、前記第2半導体領域よりも高い不純物濃度を有する 第2導電型の第7半導体領域を備えてもよい。

[0017]

前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度 の高い第8半導体領域を備え、前記第8半導体領域にバックゲート電極が電気的に接続さ れてもよい。

[0018]

前記第7半導体領域は、前記第2半導体領域の表面領域に形成され、前記第7半導体領域を包囲するように、前記第5半導体領域が閉環状に形成され、それを囲むように前記第3半導体領域が、閉環状に形成されてもよい。

[0019]

上記目的を達成するため、本発明の第2の観点に係る半導体装置は、第1導電型の第1 半導体領域と、前記第1半導体領域上に形成された第2導電型の第2半導体領域と、前記 第2半導体領域の表面領域に、前記第2半導体領域の外周に沿うように形成され、且つ前 記第1半導体領域よりも不純物濃度の高い第1導電型の第3半導体領域と、前記第3半導 体領域の下面に隣接し、且つ前記第1半導体領域よりも不純物濃度の高い第1導電型の第 4半導体領域と、前記第2半導体領域の表面領域に形成された第1導電型の第5半導体領域と、第5半導体領域の表面領域に形成された第2導電型の第6半導体領域とを有し、

前記第2半導体領域に第1の電極が電気的に接続され、前記第6半導体領域に第2の電極が電気的に接続され、前記第5半導体領域の上面に絶縁膜を介して制御電極が形成された半導体装置であって、

前記第4半導体領域は、前記第1半導体領域及び前記第2半導体領域内に形成され、前記第3半導体領域よりも第1の電極側に延伸するように形成されている突片部と、前記突片部よりも第1の電極側に延伸しないように形成されている部分とを備えることを特徴とする。

[0020]

前記第4半導体領域の突片部の上面は、前記第5半導体領域の下面と対向してもよい。

[0021]

前記第2半導体領域の表面領域に、前記第2半導体領域よりも高い不純物濃度を有する 第2導電型の第7半導体領域を備えてもよい。

[0022]

前記第5半導体領域の表面領域に形成され、且つ前記第5半導体領域よりも不純物濃度 の高い第8半導体領域を備え、前記第8半導体領域にバックゲート電極が電気的に接続さ れてもよい。

[0023]

前記第5半導体領域は、前記第6半導体領域及び前記第8半導体領域を備える領域と、 前記第6半導体領域及び前記第8半導体領域を備えない領域とを有し、両者は交互に且つ 離間的に形成されてもよい。

[0024]

前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備えない領域の下部には、前記第4半導体領域の突片部が形成されてもよい。

[0025]

前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域を備える領域の下部 には、前記第4半導体領域の突片部が形成されなくてもよい。

[0026]

前記第7半導体領域は、前記第2半導体領域の表面領域に形成され、前記第7半導体領 域を包囲するように、前記第5半導体領域の前記第6半導体領域及び前記第8半導体領域 を備える領域及び、前記第6半導体領域及び前記第8半導体領域を備えない領域とが交互 に且つ離間して配置され、前記第5半導体領域を包囲するように前記第3半導体領域が閉 環状に形成されてもよい。

[0027]

前記半導体装置は、高圧抵抗素子を備えてもよい。

【発明の効果】

[0028]

本発明によれば、負の静電気に対する耐量を上げた半導体装置を提供することができる

【発明を実施するための最良の形態】

[0029]

本発明の実施の形態に係る高耐圧横型MOSFET (Metal Oxide Semiconductor Fiel d Effect Transistor) を備える半導体装置に関して、図を用いて説明する。

[0030]

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る高耐圧横型MOSFET(Metal Oxide Semi conductor Field Effect Transistor) を備える半導体装置を示す図である。

半導体装置上には、多数の半導体素子が形成されているが、図1及び後述する図2では 、それらを省略している。

[0031]

図1及び図2に示すように、本実施の形態に係る半導体装置は、P-型半導体基板15 と、N⁻ 型半導体領域21と、第1N⁺ 型半導体領域22と、P型半導体領域19と、P + 型半導体領域12と、第2N+ 型半導体領域23と、上側P型半導体領域13と、下側 P型半導体領域14とを備える。

[0032]

P-型半導体基板15は、例えば、ホウ素(B)、ガリウム(Ga)等のP型不純物を 拡散して形成された、P型のシリコン半導体から構成される。なお、シリコンに限らず、 ガリウムなどにホウ素等を拡散させても良い。

[0033]

N-型半導体領域21は、P-型半導体基板15の表面上に、例えばエピタキシャル成 長によって形成され、ドレイン領域として機能する。 N - 型半導体領域 2 1 は、例えば、 リン (P)、ヒ素(As)等のN型不純物を含む、N型のシリコン半導体から構成されて いる。なお、シリコンに限らず、ガリウムーヒ素等の化合物半導体から構成されていても よい。

[0034]

第 $1\,\mathrm{N}^+$ 型半導体領域 $2\,2\,$ は、図 $2\,$ に示すように、ドレイン領域として機能する N^- 型 半導体領域21の表面領域に閉環状に形成されている。なお、第1N⁺型半導体領域22 は、N-型半導体領域21の表面領域に、平面形状が円形等の島状(アイランド状)に形 成されていても良い。

また、第 $1\,\mathrm{N}^+$ 型半導体領域 $2\,2\,\mathrm{ct}$ には、ドレイン電極 $2\,\mathrm{が電気的に接続されており、ド$ レインコンタクト領域として機能する。第1N⁺ 型半導体領域22は、例えば、リン(P)、ヒ素(As)等のN型不純物を含む、N型の半導体から構成され、N⁻型半導体領域 2 1より高いN型不純物濃度を有する。

[0035]

P型半導体領域 1 9 は、N - 型半導体領域 2 1 の表面領域に、N + 型半導体領域 2 2 を 包囲するように閉環状に形成されている。また、P型半導体領域19は、チャネル形成用 領域として機能する。P型半導体領域19は、例えば、ホウ素(B)、ガリウム(Ga) 等のP型不純物を拡散して形成された、P型半導体から構成されており、P型半導体領域 19のP型不純物濃度は、P-型半導体基板15より高い。

[0036]

P + 型半導体領域12は、P型半導体領域19の表面領域に形成され、バックゲート電 極 5 が電気的に接続されており、バックゲートコンタクト領域として機能する。 P + 型半 導体領域12は、例えば、ホウ素 (B)、ガリウム (Ga) 等のP型不純物を拡散して形 成されたP型半導体から構成され、P型半導体領域19等より高いP型不純物濃度を有す る。

[0037]

第2N⁺型半導体領域23は、P型半導体領域19の表面領域に形成され、かつソース 電極4が電気的に接続されており、ソースコンタクト領域として機能する。第2 N + 型半 導体領域23は、例えば、リン(P)、ヒ素(As)等のN型不純物を含む、N型の半導 体から構成され、N-型半導体領域21より高いN型不純物濃度を有する。

[0038]

ソースコンタクト領域として機能する第2N⁺型半導体領域23と、N⁻型半導体領域 21との間に配置された環状のP型半導体領域19の上面には、例えばシリコン酸化膜、 シリコン窒化膜等から構成されるゲート絶縁膜31を介して、ゲート電極3が形成されて

ゲート電極3に閾値電圧以上の電圧が印加されると、チャネルが形成される。

[0039]

上側P型半導体領域13は、接地電極1が電気的に接続されており、接地領域として機 能する。上側P型半導体領域13は、P型半導体領域19を包囲するように形成されてい る。上側P型半導体領域13は、P-型半導体基板15の表面領域に形成され、例えば、 ホウ素(B)、ガリウム(Ga)等のP型不純物を拡散して形成された、P型半導体から 構成される。上側P型半導体領域13のP型不純物濃度は、P-型半導体基板15より高 6.7

[0040]

下側P型半導体領域14は、上側P型半導体領域13の下面と下側P型半導体領域14 の上面とが接するように、上側P型半導体領域13の下に形成されている。また、下側P 型半導体領域14は、上側P型半導体領域13よりも第1N+型半導体領域22側に、P 型半導体領域19の下まで延伸するように形成されており、 N^- 型半導体領域21を介し てP型半導体領域19と対向している。

[0041]

下側P型半導体領域14は、例えば埋め込み拡散等で形成される。下側P型半導体領域 14は、P-型半導体基板15の表面領域に、例えば、ホウ素(B)、ガリウム(Ga) 等のP型不純物を拡散させ、領域を形成した後、P-型半導体基板15上にN-型半導体 領域21をエピタキシャル成長させた際に、P型不純物がN-型半導体領域21側に拡散 することによって、P‐型半導体基板15及びN‐型半導体領域21内に形成される。ま た、下側P型半導体領域14のP型不純物濃度は、P-型半導体基板15より高い。

[0042]

このような半導体装置において、ドレイン電極2に負の静電気が印加される、換言すれ ば接地電極1に正の電位が印加されると、寄生ダイオードDp1を介してゲート電極3に 正電位が負荷される。また、バックゲート電極5にも、寄生ダイオードDp2を介して正 電位が負荷される。

[0043]

これにより、P+型半導体領域12と、P型半導体領域19と、N-型半導体領域21 と、第1N+型半導体領域22によって構成される経路(電流経路1)及び、上側P型半 導体領域13及び下側P型半導体領域14と、P 型半導体基板15と、N 型半導体領 域21と、第1N+ 半導体領域22とから構成される経路(電流経路2)に電流が流れる

本実施の形態において、下側P型半導体領域14が上側P型半導体領域13よりも第1 N + 型半導体領域 2 2 側に、P型半導体領域 1 9 の下まで延伸している。

また、下側P型半導体領域14は、P-型半導体基板15と比較してP型不純物濃度が 高く、下側P型半導体領域14の抵抗値は、P-型半導体基板15の抵抗値より低い。

[0045]

従って、下側 P 型半導体領域 1 4 が延伸した分だけ、電流経路 2 の抵抗値が低くなり、 正電位が印加された場合に、電流経路2に流れる電流が相対的に増加し、反対に電流経路 1に流れる電流が相対的に減少する。

結果として、ゲート電極3と、その下のP型半導体領域19との電位差が小さくなり、 ゲート絶縁膜31の破壊が防止できる。

[0046]

以上の構成によれば、電流経路2の抵抗値が、電流経路1の抵抗値よりも小さくなるた め、ドレイン電極2に負の静電気が印加された際、電流経路1を流れる電流が相対的に小 さくなり、ゲート電極3とその下のP型半導体領域19との間に生じる電位差が小さくな る。結果として、ゲート絶縁膜31の破壊を良好に防止することができる。

また、本実施の形態の構成によれば、他の素子の大きさ、耐圧などの諸特性を変えずに 、負の静電気に対する耐量を上げることができる。

[0047]

(第2の実施の形態)

図3は、本発明の第2の実施の形態に係る高耐圧横型MOSFET (Metal Oxide Semi conductor Field Effect Transistor) を備える半導体装置の平面図である。

本実施の形態においても、第1の実施の形態と同様に、半導体装置上には多数の半導体 素子が形成されているが、それらを省略する。

[0048]

本実施の形態における第1の実施の形態に係る半導体装置との相違点は、P型半導体領 域19が2種類存在する点と、下側P型半導体領域14の形状が異なる点である。

第1の実施の形態と同様の構成を採る部分に関する詳細な説明は省略する。

[0049]

図3に示すように、本実施の形態に係る半導体装置は、点〇を中心としてN+ 型半導体 領域22が閉環状に構成されており、それを取り囲むように、P型半導体領域19a及び 19 bとが交互に且つ間欠的に形成される。下側型半導体領域14は、閉環状に形成され 、複数の突片部14aを備える。また、上側P型半導体領域13は、第1N+ 型半導体領 域22と、P型半導体領域19a及び19bとを包囲するように閉環状に形成される。

なお、第1N⁺ 型半導体領域22は、N⁻ 型半導体領域21の表面領域に、平面形状が 円形等の島状(アイランド状)に形成されていても良い。

[0050]

P型半導体領域14の突片部14 aは、P型半導体領域19 aの下側に形成されている が、P型半導体領域19bの下側には形成されていない。

従って、P型半導体領域19bと、下側P型半導体領域14の突片部14aとは、交互 に配置され、両者は重なり合わない構造となる。

[0051]

P型半導体領域19aは、図4に示すように、バックゲートコンタクト領域として機能 する P ⁺ 型半導体領域 1 2 と、ソースコンタクト領域として機能する第 2 N ⁺ 型半導体領 域23とを備えておらず、P型半導体領域19aの側面は上側P型半導体領域13に隣接 して形成されている。また、P型半導体領域19aの下面と下側P型半導体領域14の突 片部14 aの上面とは接している。

[0052]

P型半導体領域19bは、図5に示すように、P型半導体領域19aと異なり、バック ゲートコンタクト領域として機能するP + 型半導体領域12と、ソースコンタクト領域と して機能する第2N⁺型半導体領域23とを備えており、上側P型半導体領域13から離 間して形成されている。また、P型半導体領域19aと異なり、P型半導体領域19bの 下側には、下側P型半導体領域14が形成されていない。

[0053]

このような半導体装置において、P型半導体領域14に突片部14aを形成したので、 第1の実施の形態で記述したと同様に、突片部14aが延伸した分だけ電流経路2の抵抗 値が低下し、電流経路2に流れる電流は相対的に増加する。結果として、ゲート電極3と その下のP型半導体領域19a間の電位差を小さくすることができ、ゲート絶縁膜31の 破壊が防止される。

特に、本実施の形態においては、下側P型半導体領域14を厚く形成できるので、電流 経路2の抵抗値をより小さくすることができる。

[0054]

以上の構成によれば、ドレイン電極2に負の静電気が印加された際、ゲート絶縁膜31 の破壊を防止することができる。

一方、P型半導体領域19bの下側には、下側P型半導体領域14が形成されていない ことによって、高耐圧設計等が容易である。

[0055]

(第3の実施の形態)

図6は、本発明の第3の実施の形態に係る高耐圧横型MOSFET (Metal Oxide Semi conductor Field Effect Transistor) を備える半導体装置の平面図である。

第3の実施の形態に係る高耐圧横型MOSFETの構成は、高圧抵抗素子がさらに加わ っている点を除き、第2の実施の形態に係る高耐圧横型MOSFETと同一の構成を採る 。上側P型半導体領域13、下側P型半導体領域14、P型半導体領域19a及び19b 等、第2の実施の形態と同様の構成を採る部分に関する詳細な説明は省略する。

[0056]

本実施の形態に係る半導体装置と、第2の実施の形態に係る半導体装置との差異は、高 圧抵抗素子が備わっている点にある。

[0057]

具体的には、上側P型半導体領域13の一部に切り欠け部分を設け、この切り欠け部分 を通じて、ドレイン領域を構成するN‐型半導体領域121を上側P型半導体領域13の 外周側に帯状に形成する。また、帯状に形成したN 型半導体領域21の、終端部分にN + 型半導体領域125を形成する。

この帯状に構成されたN 型半導体領域121は、上側P型半導体領域113に包囲さ れ、高圧抵抗素子として機能する。

[0058]

以上の構成を採ることによって、高圧抵抗素子と複合化させることも可能となる。

[0059]

本発明は、上述した実施例の構成に限られず、様々な変形、応用が可能である。

例えば、第2の実施の形態及び第3の実施の形態において、下側P型半導体領域14の 突片部14aの上側にP型半導体領域19aを形成しない構成を採用することもできる。

[0060]

なお、第1の実施の形態において、電流経路2の抵抗値を、電流経路1の抵抗値と比較 して十分小さくするためには、下側P型半導体領域14をチャネル形成用領域として機能 するP型半導体領域19の中心よりもドレイン電極2側まで延伸させるのが良い。

[0061]

更に好ましくは、下側P型半導体領域14のドレイン電極2側の端部が、P型半導体領 域19のドレイン電極側の端部よりも、ドレイン電極2側に位置するよう延伸させるのが 良い。例えば、Ρ型半導体領域19よりも2μm以上、好ましくは10μm以上、ドレイ ン電極2側に延伸させると良い。

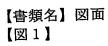
【図面の簡単な説明】

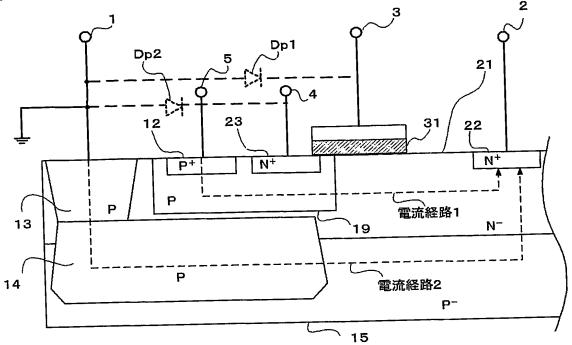
[0062]

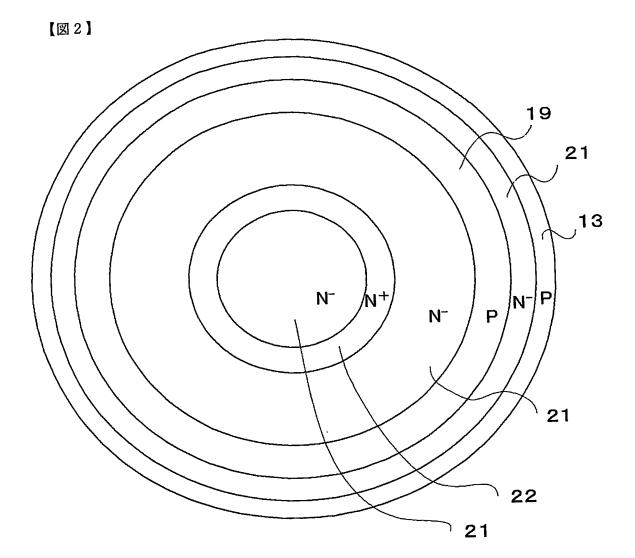
- 【図1】第1の実施の形態における半導体装置の断面図である。
- 【図2】第1の実施の形態における半導体装置の平面図である。
- 【図3】第2の実施の形態における半導体装置の平面図である。
- 【図4】図3におけるAO断面図である。
- 【図5】図3におけるBO断面図である。
- 【図6】第3の実施の形態における半導体装置の平面図である。
- 【図7】従来技術における半導体装置の断面図である。

【符号の説明】

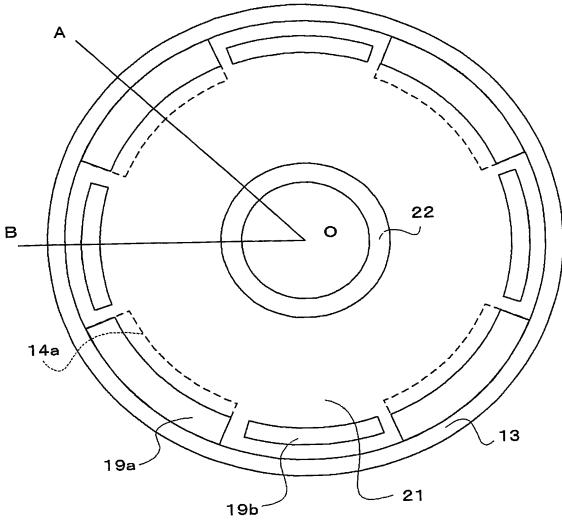
- [0063]
- 1 接地電極
- 2 ドレイン電極
- 3 ゲート電極
- 4 ソース電極
- 5 バックゲート電極
- 12 P+型半導体領域
- 13 上側P型半導体領域
- 14 下側P型半導体領域
- 14a 突片部
- 15 P-型半導体基板
- 19 P型半導体領域
- 19a P型半導体領域
- 19b P型半導体領域
- 2 1 N-型半導体領域
- 22 第1N+型半導体領域
- 23 第2N+型半導体領域
- 31 ゲート絶縁膜



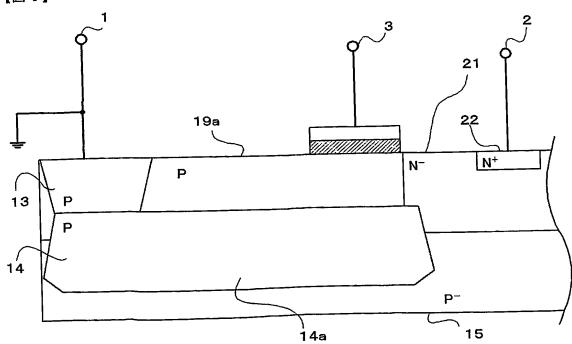




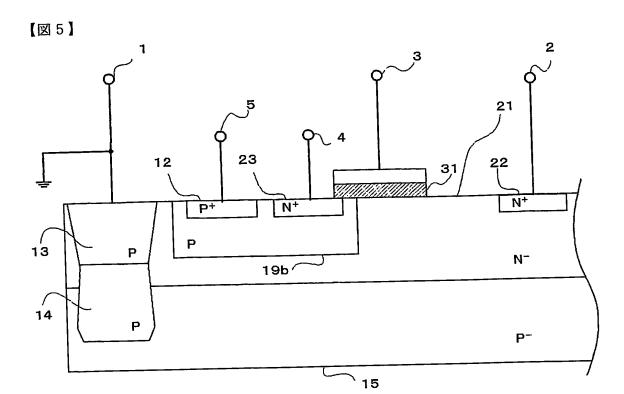
【図3】



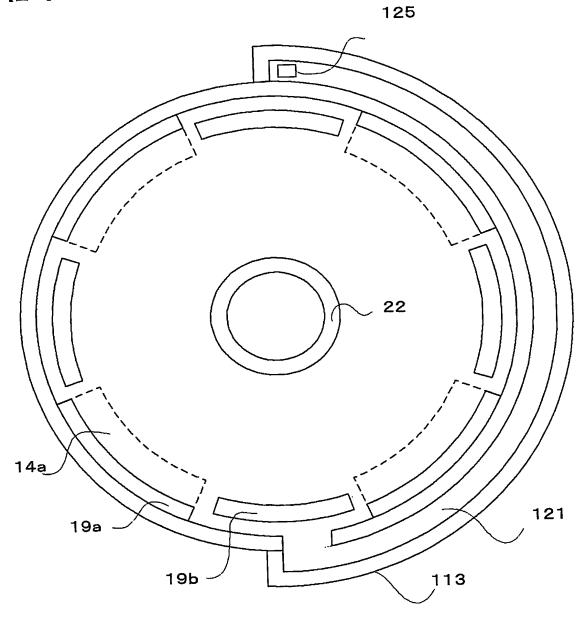
【図4】

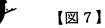


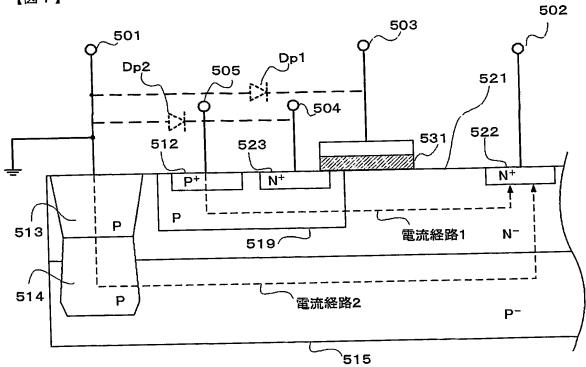
出証特2004-3110432













【書類名】要約書

【要約】

【課題】負の静電気に対する耐量を上げた半導体装置を提供することを目的とする。 【解決手段】

P 型半導体基板 1 5 と、 P 型半導体基板 1 5 の上に形成される N 型半導体領域 2 1と、N-型半導体領域21の表面領域に形成され、接地電極1が電気的に接続される上 側P型半導体領域13と、上側P型半導体領域13の下に形成される下側P型半導体領域 14と、ドレイン電極2が電気的に接続される第1N⁺型半導体領域22と、チャネル形 成領域として機能する P型半導体領域 19と、バックゲート電極 5 が電気的に接続される P + 型半導体領域12と、ソース電極4が電気的に接続される第2N + 型半導体領域23 と、P型半導体領域19の上にゲート電極3及びゲート絶縁膜31を備える半導体装置に おいて、下側P型半導体装置14は、第1N+型半導体領域22側に延伸している。

【選択図】図1

特願2004-093702

出願人履歴情報

識別番号

[000106276]

1. 変更年月日 [変更理由]

住 所 氏 名 1990年 8月31日

新規登録

埼玉県新座市北野3丁目6番3号

サンケン電気株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003161

International filing date: 25 February 2005 (25.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP

Number: 2004-093702

Filing date: 26 March 2004 (26.03.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in

compliance with Rule 17.1(a) or (b)

